

Patent Abstracts of Japan

EXPRESS MAIL NO. EV336655895US

PUBLICATION NUMBER : 61134125
PUBLICATION DATE : 21-06-86

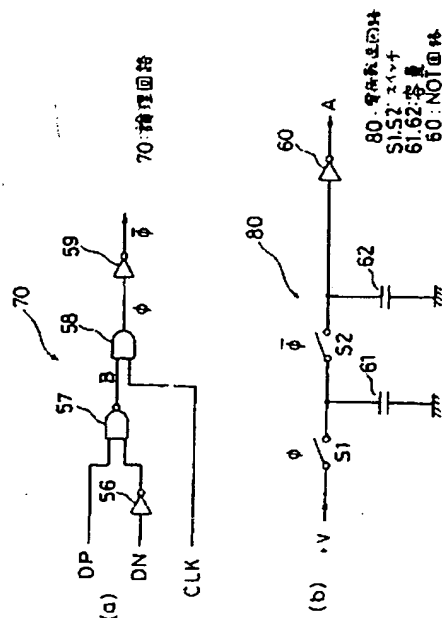
APPLICATION DATE : 05-12-84
APPLICATION NUMBER : 59256797

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : TAKAHASHI NAOKI;

INT.CL. : H03L 7/08 H03J 7/28

TITLE : LOCK DETECTING CIRCUIT OF
FREQUENCY SYNTHESIZER SYSTEM
CHANNEL SELECTING DEVICE



ABSTRACT : PURPOSE: To obtain a lock detecting circuit not influenced by dispersion of manufacture and temperature by providing a charge transferring circuit that stores and transfers charge in each capacity by a clock and a comparing and judging device that compares the stored charge of the final stage capacity of above-mentioned circuit with a specified value.

CONSTITUTION: A capacity 61 is connected between a terminal of a switch S2 and the ground, and a capacity 62 of n times (n is a positive number) the capacity 61, is connected between the another terminal and ground. A logical circuit 70 that outputs clocks, corresponding to difference in frequency or difference in phase between a divided signal of an office signal and a reference frequency signal in number is constituted of circuits 56-59. A charge transferring circuit 80 that stores the transfers charge successively by switches S1, S2 opened and closed by clocks ϕ , $-\phi$ is formed in capacities 61, 62. The charge stored in the final stage capacity 62 of the charge transferring circuit 80 is compared with a specified value by an NOT circuit 60 and thereby a comparing and judging device that detects lock of a phase lock loop is constituted.

COPYRIGHT: (C)1986,JPO&Japio

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-134125

⑮ Int. Cl.⁴

H 03 L 7/08
H 03 J 7/28

識別記号

庁内整理番号

B-7530-5J
7117-5K

⑬ 公開 昭和61年(1986)6月21日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 周波数シンセサイザ方式選局装置のロック検出回路

⑰ 特 願 昭59-256797

⑱ 出 願 昭59(1984)12月5日

⑲ 発 明 者 高 橋 直 樹 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

周波数シンセサイザ方式選局装置のロック検出回路

2. 特許請求の範囲

(1) 周波数シンセサイザ方式選局装置において局発信号を発振する位相ロックループのロック状態を検出するロック検出回路において、上記局発信号の分周信号と基準周波数信号との周波数差又は位相差に応じた個数のクロックを出力する論理回路と、スイッチと容量とからなるラダー回路によって構成され上記クロックの個数の回数上記スイッチがスイッチングを行ない上記各容量に電荷を蓄積転送する電荷転送回路と、該電荷転送回路の最終段容量の蓄積電荷量を所定値と比較する比較判定手段とを備えたことを特徴とする周波数シンセサイザ方式選局装置のロック検出回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、TV、VTR、ラジオ等のデジタ

ルチューニングシステムのPLL(Phase Locked Loop)によりチューニングシステムをコントロールする回路において、PLLがロックしたか否かを検出する、周波数シンセサイザ方式選局装置のロック検出回路に関するものである。

(従来の技術)

従来、受信機ではバリコンをまわすことによって所望の局部発振周波数を得て放送局を受信していたが、近年、低コスト化、簡単な操作性、選局の安定性の面で、デジタル的に選局を行なう電子選局システムに移行しつつあり、位相ロックループ(以下PLLと略記する)によるデジタルチューニングシステムが採用されてきた。

第4図は標準的なPLL方式によるデジタルチューニングシステムのブロック図を示す。図において、1はアンテナ、2は高周波増幅器、3は混合器、4は中間周波増幅器、11は水晶発振器、12は基準分周器、13は位相比較器、14はローパスフィルタ、15は電圧制御発振器、16はプリスケラ、17はプログラマブルカウンタ、

20は上記11~17により構成されたPLLループ、21は該PLLループ20のロックを検出するロック検出回路、22は受信周波数をキー入力するためのキー操作部、23は受信周波数を表示する表示部、24は上記プログラマブルカウンタ17及び表示部23を制御するコントローラ及びメモリ、30は上記21~24により構成されたコントロール部である。そして図中の一点鎖線で囲まれた部分がPLL方式で構成される局部発振回路とコントロール部10を構成している。

次にこのブロック図にもとづいて動作について説明する。本チューニングシステムの局部発振器である電圧制御発振器（以下VCOと略記する）15の発振周波数FOは、プリスケアラ16によって1/P分周されてプログラマブルカウンタが動作可能な周波数まで落とされ、さらにプログラマブルカウンタ17によってさらに1/N分周されてこの分周出力FSが位相比較器13の比較入力となる。一方水晶発振器11の発振信号は基準分周器12により分周されて比較基準周波数FR

となっており、これと上記分周出力FSとが位相比較器13により比較され、その比較出力がローパスフィルタ（以下LPFと略記する）14に対して¹⁴給出力され、その直流出力電圧がVCO15に¹⁵帰還される。VCO15の電圧制御発振周波数（局部発振周波数）FOはプリスケアラ16の分周数をP、プログラマブルカウンタ¹⁷の分周数をN、位相比較器13の比較基準周波数をFRとすると次式で表わされる。

$$FO = FR \times P \times N \quad \dots (1)$$

従ってコントロール部30によりプログラマブルカウンタ17の分周数Nをコントロールすることにより、所望の局部発振周波数を得ることができる。

以上PLLの動作概要を説明したが、位相比較器について第5図を用いて説明する。第5図において、基準分周器からの比較基準周波数FRの信号とプログラマブルカウンタからの比較周波数FSの信号が位相比較器13に入力され、その出力をDP、DNとすると、位相比較器13のDP出

力端子はソースが正電源に接続されたPチャネル形絶縁ゲート電界効果トランジスタ（以下PMOSと略記する）P1のゲートに接続され、またDN出力端子はソースがグランドに接続されたNチャネル形絶縁ゲート電界効果トランジスタ（以下NMOSと略記する）N1のゲートに接続される。またPMOS P1のドレインとNMOS N1のドレインの接続端子は共にLPF14の入力端子に接続され、またDP出力端子とDN出力端子は各々ロック検出回路21の2つの入力端子にそれぞれ接続され、該ロック検出回路21の出力端子Lは第4図に示すコントロール部30に入力される。

次に動作について説明する。

位相比較器13は比較基準周波数FRとプログラマブルカウンタ17によって分周された比較周波数FSとの位相を比較して、その位相差に応じた誤差信号を発生するものである。比較周波数FSが比較基準周波数FRに比べて周波数が低いか又は位相が遅れている場合は、その位相差に相当

する時間だけDP出力端子が“L”レベル、DN出力端子が“L”レベルとなる。従ってこの時PMOS P1はONし、NMOS N1はOFFし、LPF14には“H”が入力される。逆にFSがFRに比べて周波数が高いか又は位相が進んでいる場合は、その位相差に相当する時間だけDP出力端子が“H”、DN出力端子が“H”となる。従ってこの時PMOS P1はOFFし、NMOS N1はONし、LPF14には“L”が入力される。そして周波数、位相とも一致すると、DP出力端子は“H”、DN出力端子は“L”となり、PMOS P1、NMOS N1両方ともOFFし、出力はハイインピーダンスとなり、PLL20はロック状態となる。

そしてこのPLL20がロック状態にあるか否かがロック検出回路21で検出され、その検出結果に応じてコントロール部30はプログラマブルカウンタの分周比較1/Nを変化させたり、持続させたりする制御を行なう。PLL20がロック状態でない場合（以下アンロック状態と記述する）

はDP出力端子が“L”又はDN出力端子が“H”となり、これがロック検出回路21で検出される。アンロック状態の時間、つまり位相差の誤差信号の発生している時間が比較基準周波数が5KHzの場合に、2~3 μ s以下であると、これによってTV等のブラウン管上の画面が変化するが、その変化を人間の目で確認することができないため、コントローラでループをロックするように制御する必要はない。またさらに、2~3 μ s以下の誤差信号をコントローラが検出してしまうとアンロック状態として検知してしまい、ブラウン管の画面に変化がないにもかかわらずコントローラが位相差を一致させるように制御してしまい、誤動作が生じたり、又はロック状態にする時間が必要以上に掛かったりする。

そこで2~3 μ s以下の位相差の誤差信号はロック検出回路で検出しないようにする工夫が必要であるが、このようにしたロック検出回路の従来例を第6図に示す。図において、位相比較器13のDP出力端子をNAND回路41の一方の入力

端子に接続し、位相比較器13のDN出力端子をNOT回路42を介してNAND回路41の他方の入力端子に接続し、NAND回路41の出力端子は抵抗44を介してNOT回路43の入力端子に接続し、その出力端子をロック検出回路21の出力端子としてコントローラ24に接続する。またNOT回路43の入力端子とグランド間に容量45を接続する。

次にこの従来回路の動作について説明する。位相比較器13のDP出力端子より3 μ sの期間“L”の信号が出力されると、PMOS P1が3 μ s間オンし、LPF14には3 μ sの誤差信号が入力される。一方この時、DN出力端子は“L”であるのでNAND回路41の出力端子は3 μ sの期間“H”となる。ここでNOT回路43の入力遷移電圧VBを例えば正電源(VDD)の半分に設定し、容量45と抵抗44とからなる積分回路のCRの時定数を6 μ sになるように容量45と抵抗44との値を設定すると、3 μ s以下の入力信号では本ロック検出回路21の出力に変化は現

われず、ロック状態の信号がコントローラ24に入力される。つまり、CRの時定数及び遷移電圧VBをある値に設定することにより、ある期間以下の(上記では3 μ s以下)位相の誤差信号は検出することができなくなり、従ってある期間以上の誤差信号のみを検出することにより、コントローラ24で制御することができる。

(発明が解決しようとする問題点)

従来の周波数シンセサイザ方式選局装置のロック検出回路は以上のように構成されており、その長さがアンロック状態に応じた信号を容量Cと抵抗Rとの積分回路で積分しているため、ロック検出回路をコントローラ、プログラマブルカウンタ、位相比較器等と共に1チップ化したLSIにおいては、時定数6 μ sに設定するような容量及び抵抗の値は大きく、LSIのチップが大きくなり、コスト高になったりすることがある。また、製造上、容量の値、抵抗の値がばらついたり、温度の影響を受けて時定数が変化するので、検出不要な誤差信号の期間が変化したりするなどの問題点が

あった。

本発明は上記のような問題点を解消するためになされたもので、誤差信号の検出不要な期間が離散値をとり、製造上のばらつき、温度の影響を受けない周波数シンセサイザ方式選局装置のロック検出回路を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る周波数シンセサイザ方式選局装置のロック検出回路は、局発信号の分周信号と基準周波数信号との周波数差又は位相差に応じた個数のクロックを出力する論理回路と、スイッチと容量とからなるラダー回路により構成され、上記クロックによって該各容量に電荷を蓄積転送する電荷転送回路と、該回路の最終段容量の蓄積電荷を所定値と比較する比較判定手段とを設けたものである。

(作用)

この発明においては、局発信号の分周信号と基準周波数信号との周波数差又は位相差に応じた個数のクロックにより、電荷転送回路の各容量で電

荷が順次蓄積転送されるから、容量に蓄積される電荷をクロックの周期、容量比でコントロールすることができ、位相の誤差信号の有無を決定する期間を離散的に設定することができる。

(実施例)

以下、本発明の実施例を図について説明する。

第1図は本発明の一実施例による周波数シンセサイザ方式選局装置のロック検出回路を示し、図において、56はNOT回路、57はNAND回路、58はAND回路、59はNOT回路、S1はAND回路58の出力 ϕ により開閉するスイッチ、S2はNOT回路59の出力 $\bar{\phi}$ により開閉するスイッチ、60はNOT回路、61、62はそれぞれ容量値C、nC (nは正の数)のコンデンサである。

この図において、第5図の位相比較器13の出力端子DPをNAND回路57の一方の入力に接続し、位相比較器13の出力端子DNをNOT回路56を介してNAND回路57の他方の入力に接続する。またNAND回路57の出力端子をA

ND回路58の一方の入力とし、他方の入力端子にはクロック信号(CLK)を入力する。AND回路58の出力端子の信号 ϕ をNOT回路59の入力端子に接続し、NOT回路59の出力端子の信号 $\bar{\phi}$ を取出す。

ϕ 信号の“H”の期間オンし“L”期間オフするスイッチS1の一方を正電源+Vに接続し、他方の端子を、 $\bar{\phi}$ 信号の“H”の期間オンし“L”期間オフするスイッチS2の一方の端子に接続し、前記スイッチS2の他方の端子をNOT回路60の入力に接続し、NOT回路60の出力端子Aをロック検出回路21の出力端子に接続する。さらに、スイッチS2の一方の端子とグランド間に容量61(容量値C)を、スイッチS2の他方の端子とグランド間に容量61のn(nは正の数)倍の容量62を接続する。そして上記56~59により局発信号の分周信号と基準周波数信号との周波数差又は位相差に応じた個数のクロックを出力する論理回路70が構成され、また上記S1、S2、61、62からなるラダー回路により、電源

Vとグランド間に並列に設けられた容量61、62に、上記クロック ϕ 、 $\bar{\phi}$ により開閉されるスイッチS1、S2により電荷を順次蓄積転送する電荷転送回路80が構成され、また上記~~NOT回路56~~60により上記電荷転送回路80の最終段の容量62に蓄積された電荷量を所定値と比較しこれにより位相ロックループのロックを検出する比較判定手段~~90~~が構成されている。

次に動作について説明する。本発明が適用される周波数シンセサイザ方式選局装置の構成は従来同様第4図に示すものである。今、比較周波数FSが比較基準周波数FRに比べて位相がT1だけ遅れている場合を考える。従って位相差が生じているT1の期間だけ位相比較器13のDP出力端子が“L”、DN出力端子が“L”となり、NAND回路57の出力Bは第2図に示すような波形となる。そのため ϕ 信号としてはT1期間だけ周期T2のクロックが次式を満たす数Mだけ出力される。

$$M = T1 / T2 \quad \dots (2)$$

そしてこの ϕ 信号及び ϕ 信号の反転信号 $\bar{\phi}$ がスイッチS1及びS2にそれぞれ入力される。今、 ϕ 信号の最初のT2期間のうち ϕ が“H”、 $\bar{\phi}$ が“L”のときを考えると、このときスイッチS1がオン、スイッチS2がオフとなる。そのため容量61には次式を満たさせる電荷Q1が蓄積される。

$$Q1 = CV \quad \dots (3)$$

次に ϕ 信号の最初のT2期間のうち ϕ が“L”、 $\bar{\phi}$ が“H”のときはスイッチS1はオフ、スイッチS2はオンとなる。そのため容量61に蓄積されていた電荷の一部は容量62に流れ込み、容量61及び容量62には容量の大きさに比例した分だけ電荷Q1が分配される。従って容量62のグランドからの電位V1は次式となる。

$$V1 = \frac{C}{C + nC} \cdot V = \frac{1}{1 + n} \cdot V \quad \dots (4)$$

次に ϕ 信号の第2番目のT2の期間を考えると、 ϕ 信号が“H”、 $\bar{\phi}$ 信号が“L”のときはスイッチS1はオン、スイッチS2はオフとなり、容量61にはCVの電荷が蓄積される。次に ϕ 信号が

“L”、 $\bar{\phi}$ 信号が“H”のときはスイッチS1はオフ、スイッチS2はオンとなり、容量61の電荷CVと容量62において ϕ 信号の第1番目の期間に蓄積された電荷 $V1 \cdot nC$ との和の電荷が容量61と容量62の容量の大きさに比例した分だけ各々の容量に分配される。従って容量62のグランドからの電位V2は次式となる。

$$V2 = V \left(\frac{1}{1+n} + \frac{n}{(1+n)^2} \right)$$

次に ϕ 信号の第3番目のT2の期間を考える。 ϕ 信号が“H”、 $\bar{\phi}$ 信号が“L”のときは容量61にCVの電荷が蓄積され、 ϕ 信号が“L”、 $\bar{\phi}$ 信号が“H”のときには容量61の電荷CVと容量62の電荷 $V2 \cdot nC$ の電荷の和が各々の容量に分配される。従って容量62のグランドからの電位V3は次式となる。

$$V3 = V \left(\frac{1}{1+n} + \frac{n}{(1+n)^2} + \frac{n^2}{(1+n)^3} \right)$$

次に ϕ 信号の第M番目における容量62のグランドからの電位VMは次式となる。

$$\begin{aligned} VM &= V \left(\frac{1}{1+n} + \frac{n}{(1+n)^2} + \dots + \frac{n^{M-1}}{(1+n)^M} \right) \\ &= V \cdot \sum_{N=1}^M \frac{n^{N-1}}{(1+n)^N} \\ &= V \cdot \left(1 - \left(\frac{n}{1+n} \right)^M \right) \end{aligned}$$

従って(2)式より

$$VM = V \cdot \left(1 - \left(\frac{n}{1+n} \right)^{\frac{T1}{T2}} \right)$$

この時NOT回路60の入力遷移電圧をVBとすると容量62の電位VMが入力遷移電圧VBより低いときは出力端子Aは“H”となり、容量62の電位が高いときは出力端子Aは“L”となる。従って誤差信号の検出 unnecessary 期間T1は容量61、62の比n、クロックのパルス幅T2及びNOT回路60の入力遷移電圧VBによって離散的に設定できる。しかもこの期間T1はあくまで容量の比によって決まり、容量61、62の大きさには全く依存しないので、容量61、62としてその値の小さいものを選択することにより、LS

I化の際にそのチップサイズを減少できる。

なお、上記実施例におけるスイッチS1及びスイッチS2は、相補形絶縁ゲート電界トランジスタ（以下CMOSと略記する）によるLSI化の際には、第3図のように、PMOS P、NMOS N、NOT回路Iからなるトランスミッションゲートにより置きかえることができる。

（発明の効果）

以上のように、この発明に係る周波数シンセサイザ方式のロック検出回路によれば、その個数が局発信号の分周信号と基準周波数信号との周波数差または位相差に応じた個数のクロックにより電荷転送回路の各容量により電荷を順次蓄積転送してゆき、最終段の容量に蓄えられた電荷量により位相ロックループのロックを検出するようにしたので、容量に蓄積される電荷をクロックの周期、容量比でコントロールすることができ、位相の誤差信号の有無を決定する期間を、離散的に設定することができ、従って製造上のばらつき、温度変化による影響を受けることがないものを得ること

ができる効果がある。

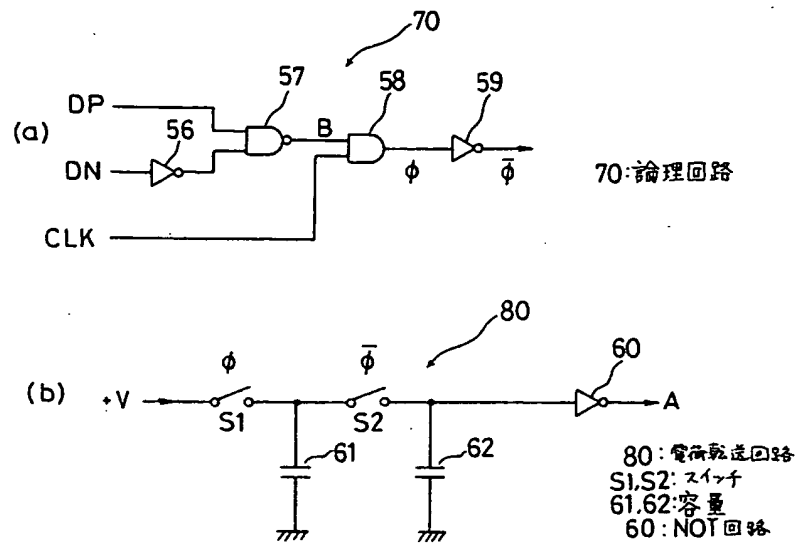
4. 図面の簡単な説明

第1図は本発明の一実施例による周波数シンセサイザ方式のロック検出回路の構成を示し、第1図(a)はその論理回路の回路構成図、第1図(b)はその電荷転送回路及び比較判定手段の構成図、第2図は第1図のタイミング図、第3図は第1図の回路に用いるスイッチのCMOSによる置きかえの様子を示す図、第4図はPLL方式のデジタルチューニングシステムのブロック図、第5図は第4図の位相比較器とロック検出回路のブロック図、第6図は従来のロック検出回路図の回路図である。

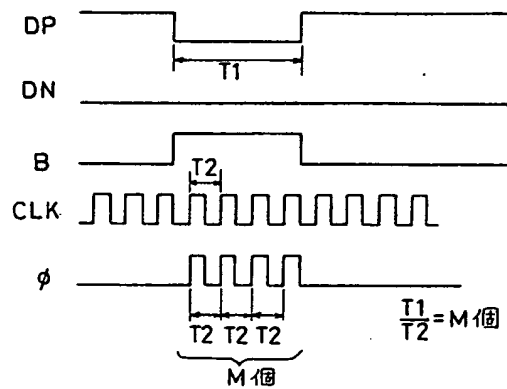
20…位相ロックループ、21…ロック検出回路、70…論理回路、80…電荷転送回路、61、62…容量、S1、S2…スイッチ、60…NOT回路（比較判定手段）。

代理人 早 瀬 憲 一

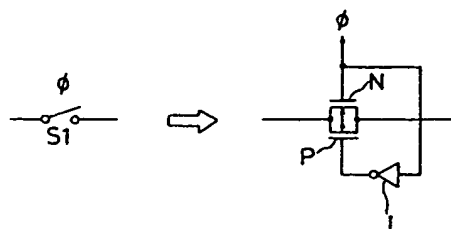
第 1 図



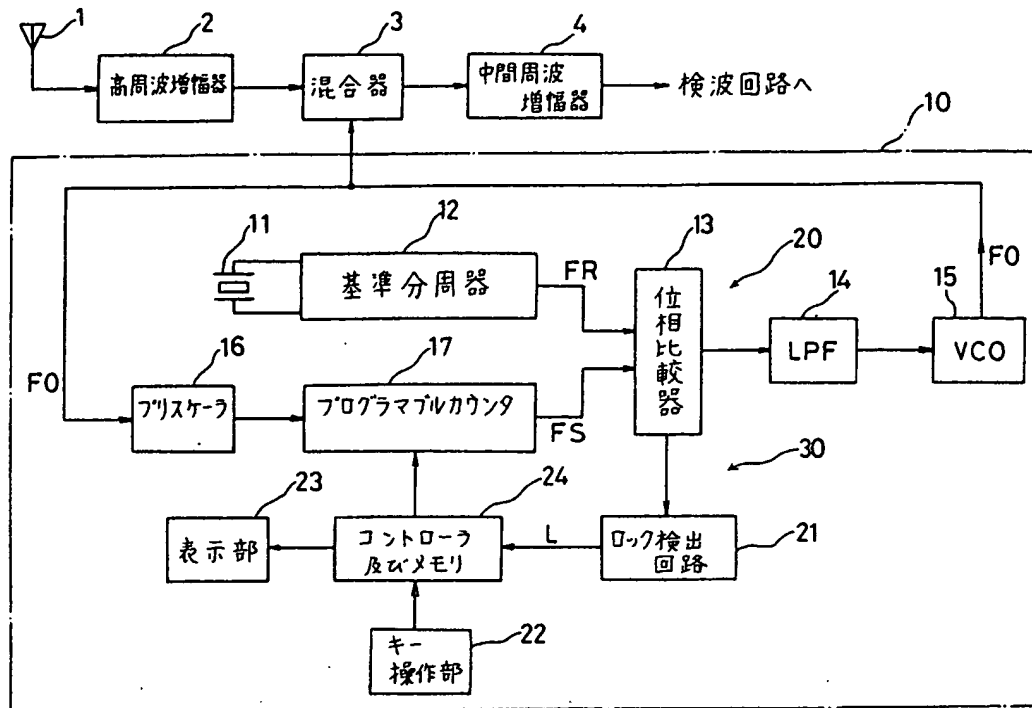
第 2 図



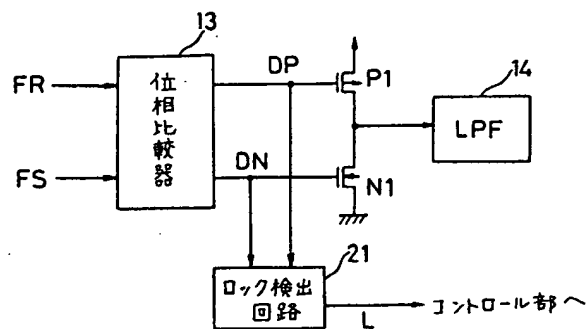
第 3 図



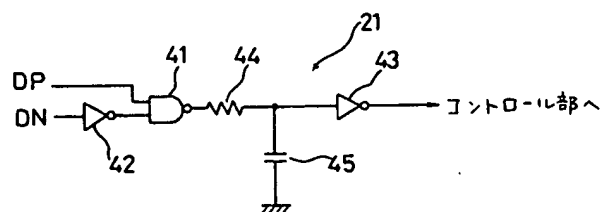
第4図



第5図



第6図



THIS PAGE BLANK (USPTO)